

Attorney Docket # 5328-15

Express Mail #EV329598985US
Patent

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Shinobu ISOBE

Serial No.: n/a

Filed: concurrently

For: Semiconductor Device, and Design
Method, Inspection Method, and Design
Program Therefor

LETTER TRANSMITTING PRIORITY DOCUMENT

Mail Stop **Patent Application**
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450


SIR:

In order to complete the claim to priority in the above-identified application under 35 U.S.C. §119, enclosed herewith is the certified documentation as follows:

Application No. **2002-319849**, filed on November 01, 2002, in Japan, upon which the priority claim is based.

Respectfully submitted,
COHEN, PONTANI, LIEBERMAN & PAVANE

By



Thomas Langer

Reg. No. 27,264

551 Fifth Avenue, Suite 1210

New York, New York 10176

(212) 687-2770

Dated: October 8, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

5328-15

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月 1日

出 願 番 号

Application Number:

特願2002-319849

[ST.10/C]:

[JP2002-319849]

出 願 人

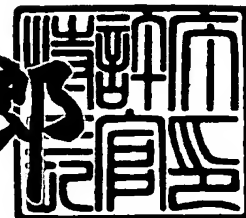
Applicant(s):

ユー・エム・シー・ジャパン株式会社

2003年 6月23日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3049151

【書類名】 特許願

【整理番号】 J97512A1

【提出日】 平成14年11月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/538

【発明の名称】 半導体装置の設計方法、半導体装置の検査方法、半導体装置設計用プログラム、及び半導体装置

【請求項の数】 8

【発明者】

【住所又は居所】 千葉県館山市山本1580番地 ユー・エム・シー・ジャパン株式会社内

【氏名】 磯部 克

【特許出願人】

【識別番号】 000128049

【氏名又は名称】 ユー・エム・シー・ジャパン株式会社

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100108578

【弁理士】

【氏名又は名称】 高橋 詔男

【選任した代理人】

【識別番号】 100089037

【弁理士】

【氏名又は名称】 渡邊 隆

【選任した代理人】

【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100094400

【弁理士】

【氏名又は名称】 鈴木 三義

【選任した代理人】

【識別番号】 100107836

【弁理士】

【氏名又は名称】 西 和哉

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708865

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の設計方法、半導体装置の検査方法、半導体装置設計用プログラム、及び半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板上に形成された複数の回路ブロックを有する半導体装置の設計方法であって、

前記半導体装置の最上層に電極を備え、かつ半導体装置の各層において回路ブロック間を結ぶ配線と接続可能とされた測定端子を、前記回路ブロックとともにセルとして設計ルールに登録する工程と、

前記測定端子と、前記回路ブロックとを平面配置する工程と、

前記回路ブロックから延出される各配線を、前記測定端子を経由して接続する工程と

を有することを特徴とする半導体装置の設計方法。

【請求項 2】 前記測定端子として、前記半導体装置を構成する全ての層において配線と接続可能とされた測定端子を用いることを特徴とする請求項 1 に記載の半導体装置の設計方法。

【請求項 3】 前記回路ブロックから延出される配線を接続する工程において、

前記測定端子と、該測定端子を経由する配線の両端とを含む系統図に基づき前記配線の接続を行うことを特徴とする請求項 1 又は 2 に記載の半導体装置の設計方法。

【請求項 4】 半導体基板上に形成された複数の回路ブロックを有する半導体装置を検査するに際して、

前記半導体装置の回路ブロックから延出された配線の経路中に設けられ、各層にパッドを有するとともに、該パッドが前記半導体装置の絶縁膜を貫通して設けられたコンタクトホールを介して互いに電氣的に接続された測定端子の半導体装置最上層に設けられた電極を介して半導体装置の検査を行うことを特徴とする半導体装置の検査方法。

【請求項 5】 前記半導体装置最上層に形成された電極に対して、探針を接

触させる、又は電子ビームを照射することにより当該接続端子が接続された配線の電圧及び／又は論理状態の測定を行うことを特徴とする請求項 4 に記載の半導体装置の検査方法。

【請求項 6】 半導体基板上に形成された複数の回路ブロックを有する半導体装置の設計プログラムであって、

前記半導体装置の最上層に電極を備え、かつ半導体装置の各層において回路ブロック間を結ぶ配線と接続可能とされた測定端子を、前記回路ブロックとともにセルとして設計ルールに登録するステップと、

前記測定端子と、前記回路ブロックとを平面配置するステップと、

前記回路ブロックから延出される各配線を、前記測定端子を経由して接続するステップと

をコンピュータに実行させるための設計プログラム。

【請求項 7】 半導体基板上に形成された複数の回路ブロックを有する半導体装置であって、

前記回路ブロックから延出された配線の経路中に、半導体装置最上層に電極を備え、該電極とコンタクトホールを介して半導体装置各層に設けられたパッドとを有する測定端子が設けられていることを特徴とする半導体装置。

【請求項 8】 前記測定端子の電極と各パッドとが平面視略同一位置に形成されていることを特徴とする請求項 7 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の設計方法、半導体装置の検査方法、半導体装置の設計プログラム、及び半導体装置に関するものである。

【0002】

【従来の技術】

図 6 は、従来から利用されている自動配線ツールを用いて設計された半導体装置のレイアウトの一例を示す構成図であり、図 7 (a) は、図 6 に示す領域 A 1 の配線構造を示す図、図 7 (b) は、図 7 (a) に示す J - J 線に沿う断面構造

図、図8(a)は、図6に示す領域A2の配線構造を示す図、図8(b)は図8(a)に示すK-K線に沿う断面構造を示す図である。

【0003】

図6において、符号100A~100Dは、半導体基板上に形成された回路ブロック、符号111~117は、上記各回路ブロック100A~100Dを接続する配線を示している。そして図6に点線で示す領域A1において、図示左右方向に延在する配線111~113と、図示上下方向に延在する配線114、115とが交差している。また、領域A2において、前記配線114、115と、図示左右方向に延在する配線117とが交差すると共に、図示上下方向に延在する配線116と、前記配線117とが電氣的に接続されている。

また、図7(a)に示すように、配線114、115には、図示左右方向に延在する配線111~113と平面的に重ならない領域に、それぞれ配線114a、115bを介して測定電極114b、115bが延出されている。

また、図8(a)、(b)に示す配線構造において、配線114、115は半導体装置の最上層に形成されており、配線117は第3層間絶縁膜103と、第2層間絶縁膜102との間の層に形成され、配線116は、第2層間絶縁膜102と、第1層間絶縁膜101との間の層に形成されている。そして、平面視における配線116、117の交差点に第2層間絶縁膜102を貫通して形成されたコンタクトホール105を介して配線116と配線117とが電氣的に接続されている。また、前記配線116、117の交差点の最上層には、測定電極118が形成されており、第3層間絶縁膜103を貫通して形成されたコンタクトホール106を介して配線117と電氣的に接続されている。

【0004】

従来から、半導体装置内部の電圧測定や論理測定をする際には、金属製の細い針を半導体装置の表面にある配線に直接触れるか、またはこれらの配線に電子ビームを照射して得られる2次電子を測定することにより電圧又は論理状態の測定が行われており、典型的には、図7(a)に示すように、半導体装置表面において上記の測定を行うための専用の電極114b、115bを設け、これらの電極114b、115bを介して測定を行っていた。しかしながら、その場合には設



計者が必要と考える場所に意図的に電極をレイアウトする手法が一般的であり、自動配線レイアウトツールの結果を用いて手作業で修正する必要があるために工数が多くなる。また、図 7 に示すように電極 1 1 4 b、1 1 5 b を形成するためのスペースやこれらの電極を引き出すための配線 1 1 4 a、1 1 5 a のための領域も必要である。

【0 0 0 5】

しかし、上記配線に針を接触させる方法や電子ビームを照射する方法では、最上層の配線以外の配線に対する測定はできないため、表面から 2 層目以降の層に形成された配線に対して測定を行う場合には、図 8 に示すように、第 3 層間絶縁膜 1 0 3 に測定用の穴（コンタクトホール 1 0 6）を空けて配線 1 1 6 から電極 1 1 8 を引き出し、この電極 1 1 8 に探針 1 0 8 を接触させて測定する手法がとられていた。ところが、最近の多層配線技術を用いた半導体装置では、配線が混み合っているうえ、最上層に高密度で配線が形成されているため、測定用の穴を空けるための領域を半導体装置最上層に確保するのが極めて困難であり、また、穴を空ける場所を探す作業も手作業で行われるため、非常に時間が掛かっていた。

【0 0 0 6】

また、（特許文献 1）には、電気回路を構成するユニットセル内に測定端子を設けることが記載されているが、近年の回路設計では、セルの上層は電源配線などに覆われる傾向があり、測定端子を設ける領域を確保するのが困難である。

また、（特許文献 2）には、測定端子を自動レイアウトするツールを用いることが記載されているが、係る文献に記載の方法は、配線のレイアウトが終了してから条件に合う場所（表層に電極を設けることが可能な場所）を探すためのツールを使用し、再レイアウトを実施する方法であり、測定端子を適切にレイアウト仕切れない場合には全体のレイアウトを見直すなど、設計全体の修正が必要になるため、シミュレーションの負荷増に伴う設計工数の増加が避けられず、実現が難しい。

また、（特許文献 3）には、測定端子を小規模な論理回路に組み込んだセルを用意し、測定端子が組み込まれていないセルと、組み込まれたセルとを必要に応

じて組み替えてから結線する方法が記載されている。しかし、この場合には、測定端子が論理回路と一対になっているため、自動配線処理時にレイアウトされた回路の上層を配線することができないという欠点がある。また、全てに組み込み回路を用いるのではなく、組み込み回路が必要な場所を定義して組み込みの選択を行うため、レイアウトを自動化するのが困難になる。

【0007】

【特許文献1】

特開昭64-27241号公報

【特許文献2】

特開平9-139471号公報

【特許文献3】

特開昭62-76736号公報

【0008】

【発明が解決しようとする課題】

本発明は、上記事情に鑑みて成されたものであって、回路ブロック間を結ぶ配線に、電圧や論理状態を測定するための測定端子を備えた半導体装置を自動的にレイアウトすることが可能な半導体装置の設計方法、及び設計プログラムを提供することを目的とする。

また本発明は、上記半導体装置の設計方法に基づき配置された測定端子を利用した半導体装置の検査方法を提供することを目的とする。

また本発明は、上記半導体装置の設計方法により成された設計を有する半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

上記課題を解決するために、本発明の半導体装置の設計方法は、半導体基板上に形成された複数の回路ブロックを有する半導体装置の設計方法であって、前記半導体装置の最上層に電極を備え、かつ半導体装置の各層において回路ブロック間を結ぶ配線と接続可能とされた測定端子を、前記回路ブロックとともにセルとして設計ルールに登録する工程と、前記測定端子と、前記回路ブロックとを平面

配置する工程と、前記回路ブロックから延出される各配線を、前記測定端子を経由して接続する工程とを有することを特徴とする。

【0010】

次に、本発明の半導体装置の設計方法は、前記測定端子として、前記半導体装置を構成する全ての層において配線と接続可能とされた測定端子を用いることを特徴とする。

【0011】

本発明の半導体装置の設計方法は、前記回路ブロックから延出される配線を接続する工程において、前記測定端子と、該測定端子を経由する配線の両端とを含む系統図に基づき前記配線の接続を行うことを特徴とする。

【0012】

本発明の半導体装置の検査方法は、半導体基板上に形成された複数の回路ブロックを有する半導体装置を検査するに際して、前記半導体装置の回路ブロックから延出された配線の経路中に設けられ、各層にパッドを有するとともに、該パッドが前記半導体装置の絶縁膜を貫通して設けられたコンタクトホールを介して互いに電氣的に接続された測定端子の半導体装置最上層に設けられた電極を介して半導体装置の検査を行うことを特徴とする。

【0013】

本発明の半導体装置の検査方法は、前記半導体装置最上層に形成された電極に対して、探針を接触させる、又は電子ビームを照射することにより当該接続端子が接続された配線の電圧及び／又は論理状態の測定を行うことを特徴とする。

【0014】

本発明の半導体装置の設計プログラムは、半導体基板上に形成された複数の回路ブロックを有する半導体装置の設計プログラムであって、前記半導体装置の最上層に電極を備え、かつ半導体装置の各層において回路ブロック間を結ぶ配線と接続可能とされた測定端子を、前記回路ブロックとともにセルとして設計ルールに登録するステップと、前記測定端子と、前記回路ブロックとを平面配置するステップと、前記回路ブロックから延出される各配線を、前記測定端子を経由して接続するステップとをコンピュータに実行させるものである。

【 0 0 1 5 】

本発明の半導体装置は、半導体基板上に形成された複数の回路ブロックを有する半導体装置であって、前記回路ブロックから延出された配線の経路中に、半導体装置最上層に電極を備え、該電極とコンタクトホールを介して半導体装置各層に設けられたパッドとを有する測定端子が設けられていることを特徴とする。

【 0 0 1 6 】

本発明の半導体装置は、前記測定端子の電極と各パッドとが平面視略同一位置に形成されていることを特徴とする。

【 0 0 1 7 】

【発明の実施の形態】

以下、本発明の半導体装置の設計方法の実施の形態を図面を参照して説明するが、本発明は以下の実施の形態に限定されるものではない。

図 1 は、本実施形態の設計方法を用いて成された半導体装置のレイアウトの一例を示す構成図である。この図に示す半導体装置は、図示の四隅に配置された回路ブロック 1 0 A ～ 1 0 D と、それぞれの回路ブロックから延出された配線と、各配線の経路中に設けられた測定端子 1 2 1 ～ 1 2 6 とを備えて構成されている。これらの測定端子は、半導体装置の最上層に電氣的測定を行うために、探針のコンタクトや電子ビームの照射が可能な測定電極を備えている。

【 0 0 1 8 】

図 1 において、回路ブロック 1 0 A と回路ブロック 1 0 B とは、配線 1 3 4 ～ 1 3 6 を介して電氣的に接続されており、より詳細には、回路ブロック 1 0 A の端子 1 0 A 6 と、回路ブロック B の端子 1 0 B 1 とが、配線 1 3 6 により接続されており、この配線 1 3 6 は、測定端子 1 2 6 を経由して回路ブロック 1 0 A、1 0 B を電氣的に接続している。また、配線 1 3 4、1 3 5 もそれぞれ測定端子 1 2 4、1 2 5 を経由して回路ブロック 1 0 A、1 0 B を電氣的に接続している。また、回路ブロック 1 0 A の端子 1 0 A 1 ～ 1 0 A 3 は、それぞれ測定端子 1 2 1、1 2 2、1 2 3 を経由する配線を介して回路ブロック 1 0 D と電氣的に接続されている。

【 0 0 1 9 】

図 1 に示す半導体装置は、回路ブロック 1 0 A ~ 1 0 D から延出された各配線が測定端子を経由して接続されているので、極めて容易に各配線の電圧や論理状態の測定を行うことが可能になっている。

また、測定により配線に不具合が発見された場合には、その配線経路を辿って回路ブロックの前後で詳細に検査を行うことができるので、不具合が生じている箇所を直接かつ容易に観測することができ、解析の高速化を図ることができ、もって半導体装置の設計期間を短縮することができる。

【 0 0 2 0 】

図 1 に示す構成を備えた半導体装置は、例えば以下の設計方法により設計することができる。図 2 は、本発明に係る半導体装置の設計方法を説明するためのフローチャートである。

半導体装置の設計は、公知されているように、機能毎となる部分回路をブロック毎に設計し、その後、それぞれの回路の入出力を結線するための系統図（ネットリスト）を作製し、このネットリストに基づき製造設計図（レイアウト図）を製作する。そして、半導体装置の製造に際しては、上記にて得られたレイアウト図に従ってフォトリソグラフィを製作し、シリコンウェハ等に半導体回路の各レイヤ（トランジスタ、配線、絶縁膜等）を焼き付けて行く。

【 0 0 2 1 】

本発明に係る設計方法においても、上記設計方法と基本的な手順は同様である。すなわち、図 2 に示すように、回路ブロック等の部分回路設計（a）を行い、その後回路ブロックを平面配置する回路配置設計（b）の後、回路ブロックの配線を結線する回路接続設計（c）を行って、例えば図 1 に示すような半導体装置のレイアウト図を作製する。その後、作製したレイアウト図の検証を行い（d）、マスクデータを作製する（e）。

【 0 0 2 2 】

ここで、本実施形態の設計方法では、従来と異なり、図 2（b）に示す回路配置設計工程において、回路ブロックと同様のセルとして、測定端子を登録して、自動レイアウトを実行する（図 2（f））。この測定端子をセルとして登録するに際しては、例えば図 3 の説明図に示す構成のセルを用いる。図 3 に示す測定端

子セル 1 2 は、測定端子本体 1 2 y と、この端子本体 1 2 y に配線を介して接続され、終端に接続子 1 3 a、1 3 b を有するものである。上記接続子 1 3 a、1 3 b は、自動配線ツール等を用いた設計に際して、ツールに対して配線同士の接続を行うことを指定するためのものであり、実際の半導体装置に形成されるものではない。また図 3 では、測定端子本体 1 2 y から 2 本の配線が引き出されている場合について図示しているが、測定端子本体 1 2 y には、1 本又は 3 本以上の配線も接続可能とされている。

【0023】

また、自動レイアウト時の回路ブロックは、NAND、OR 等の小規模回路から、演算器、メモリなどの大規模な回路まで、任意の大きさの回路を 1 つの回路ブロック（セル）として登録することができ、これらのブロック間を結ぶ配線が上記測定端子を経由するようにレイアウトされる。

【0024】

具体的には、図 2（b）の回路配置設計工程において、測定端子セル 1 2 を例えば回路ブロック 1 0 A と回路ブロック 1 0 B との間に配置し、その後の回路接続設計工程において、図 3 に示すように、回路ブロック 1 0 A の端子 1 0 A - x から導出された配線が、接続子 1 3 a を介して測定端子本体 1 2 y と接続され、回路ブロック 1 0 B の端子 1 0 B - z から導出された配線が、接続子 1 3 b を介して測定端子本体 1 2 y と接続されるようになっている。つまり、本実施形態に係る回路接続設計工程において配線接続のために使用されるネットリストは、図 3 に示すように、（回路 A 出力 x ・測定端子 y ・回路 B 入力 z）のように、互いに接続される回路ブロックの端子の間に、必ず測定端子を含むようになっている。

【0025】

また、本発明に係る設計方法では、図 2（c）に示す回路接続設計工程において、同時に測定端子の座標情報を保存することもできる（図 2（g））。このようにして測定端子の座標情報を保存しておくことで、上記ネットリストによる回路ブロック間の配線接続情報と、回路ブロック間の測定端子の位置情報とを半導体装置の検査に利用できるようになる。また、測定経路と該当する測定端子位置

に基づく半導体装置の自動検証手段として利用することもできる。

【0026】

図1を参照して説明すると、回路ブロック10Aの出力を検証する際には、上記リストに基づき得られる位置情報に基づき、測定端子126により測定し、論理設計時に動作を予想した情報（理論値）と、実際の測定論理状態情報とを比較して、論理不具合を判断することができる。その際に、前記比較が不一致の場合には、回路ブロック10Aの不具合か、または、その前にある回路ブロック10Dの不具合であると予想できる。次いで、回路ブロック10Dから回路ブロック10Aへの入力経路中に設けられている測定端子121における測定を行い、理論値との比較を行う。その際に両者が一致していれば、回路ブロック10Aに問題があり、不一致であれば回路ブロック10Dから前段に不具合があると判断できる。このようにして、回路ブロック間の配線経路に沿って不具合箇所を極めて正確に特定できる。

従って、半導体装置の解析を行う際に、ネットリストにより検査測定に利用すべき測定端子を知ることができ、かつその位置情報も容易に知ることができるため、解析の効率化、高速化を実現することができる。

【0027】

また、上記本発明に係る半導体装置の設計方法は、以下の構成の半導体装置の設計プログラムをコンピュータに実行させることで、ほとんどの工程を自動化することができる。すなわち、回路ブロック等とともにセルとして設計ルールに登録された測定端子を配置するステップと、平面配置された回路ブロック及び測定端子を配線するステップとを備えたプログラムを実行させればよい。

【0028】

次に、上記本発明に係る設計方法を、図4及び図5を用い、実際の半導体装置の構造を参照して以下に詳細に説明する。図4は、上記設計方法により図1に示す回路ブロック10Aと、回路ブロック10Bと、測定端子124～126とを平面配置した状態を示す平面構成図であり、図4（b）は、図4（a）に示すH-H線に沿う断面構成図である。また、図5（a）、図5（b）は、図4に示す回路配置設計の後、配線の接続を行った後の平面構成図及び断面構成図である。

【 0 0 2 9 】

本実施形態の設計方法による回路配置設計工程では、図 4 (a) に示すように、回路ブロック 1 0 A の端子 1 0 A 4 ～ 1 0 A 6 と、これらに接続される端子 1 0 B 3 ～ 1 0 B 1 との間に、上記ネットリストに基づき測定端子 1 2 4 ～ 1 2 6 が配置される。これらの測定端子 1 2 4 ～ 1 2 6 は、図 4 (b) に示すように、多層構造の半導体装置の最上層に測定電極 1 2 6 a を有しており、この測定電極 1 2 6 a と平面視略同一位置の半導体装置の第 1 ～ 第 5 層間絶縁膜 2 1 ～ 2 5 各層にパッド 1 2 6 b を有している、そして、隣接するパッド同士が、それらの間の層間絶縁膜を貫通して形成されたコンタクトホール 1 2 6 c を介して電氣的に接続されている。また、回路ブロックの端子 1 0 A 6 は、第 5 層間絶縁膜 2 5 と第 4 層間絶縁膜 2 4 との間に形成され、端子 1 0 B 1 は第 4 層間絶縁膜 2 4 と、第 3 層間絶縁膜 2 3 との間に形成されている。

【 0 0 3 0 】

次いで、図 2 (c) に示す回路接続設計工程により、回路ブロックと測定端子との配線を行って、図 5 (a) 、図 5 (b) に示すように、測定端子 1 2 4 ～ 1 2 6 を経由して回路ブロック間を接続する配線 1 3 4 ～ 1 3 6 を形成する。ここで、図 5 (b) に示すように、測定端子 1 2 6 は、半導体装置各層にパッド 1 2 6 b を有しているので、異なる層に形成された端子 1 0 A 6 、 1 0 B 1 間も、測定端子 1 2 6 を経由する配線を形成するのみで、互いに電氣的に接続できるようになっている。従って、回路ブロック間を接続する配線が半導体装置のどの層に形成されていても、測定端子表面の電極を介して電氣的測定が可能である。

また、図 4 に示すようにコンタクトを積み上げた構造を有する測定端子とすることで、配線経路中に設けても配線容量の増加やインピーダンスの変動影響を小さくすることができる。

【 0 0 3 1 】

このように、本発明では、図 4 ないし図 5 に示した構成の測定端子を採用することで、半導体装置最上層に測定電極 1 2 6 a を有し、かつ半導体装置の各層において配線接続を可能にし、かつ各層における占有面積を極力小さくできるようになっている。測定電極 1 2 6 a の大きさは、測定用の探針をコンタクトできる

大きさを有していればよいので、配線幅とほぼ同一の太さにまで小さくすることも可能であり、従来と同程度の高密度配線を行った場合にも、半導体装置の集積度に影響することはない。従って、レイアウトの制限が少なく、自動化ができるため、多くの端子を一度に設けることが可能である。

【 0 0 3 2 】

さらに、本設計方法では、測定端子はセルとして自動配置の対象とされるので、回路間の配線を行う前に測定端子の平面位置を自動配置により確保することができ、従来の配線後に測定端子を設けるための領域を探索して測定端子を構成する場合に比して、極めて効率よく測定端子を有する半導体装置を設計することが可能になる。

【 0 0 3 3 】

また、従来のように、表面に配線が形成されていない領域に測定用の穴を形成する場合には、測定したい配線の上層側に配線が形成されていないことが必須であり、この条件に合致する場所を見つけるために多くの手作業が必要であり、また条件に合致する場所が見つからない場合には、配線のレイアウトを全面的に見直す必要があったが、本発明に係る設計方法では、配線より前に測定端子の配置を行うので、測定端子の測定電極は必ず半導体装置の表面に露出され、上記のような手間は全く不要になる。

【 0 0 3 4 】

しかも、上記測定端子は回路ブロック間等を接続する全ての配線に設けることができるため、半導体装置の検証、解析のための電氣的測定を、回路ブロック間の配線経路を順に辿って行うことができ、不具合箇所の特定を正確、かつ迅速に行うことができる。また、測定端子の座標情報は先のように保存することができるため、測定端子に対する探針の位置決め等も効率よく行うことができる。

【 0 0 3 5 】

従って、微細化により膨大な回路が集積されていて、どの回路に不具合が発生しているかを特定することが非常に困難になってきている近年の半導体装置に、上記本発明の設計方法を適用するならば、半導体装置の解析を緻密に行えるばかりでなく、飛躍的に早めることができ、もって設計期間の短縮を図ることができる。

る。

【0036】

【発明の効果】

以上、詳細に説明したように、本発明によれば、半導体基板上に形成された複数の回路ブロックを有する半導体装置の設計方法であって、前記半導体装置の最上層に電極を備え、かつ半導体装置の各層において回路ブロック間を結ぶ配線と接続可能とされた測定端子を、前記回路ブロックとともにセルとして設計ルールに登録する工程と、前記測定端子と、前記回路ブロックとを平面配置する工程と、前記回路ブロックから延出される各配線を、前記測定端子を経由して接続する工程とを有する方法により、半導体装置の解析の際に電氣的測定を行うための測定端子を有する半導体装置を極めて効率よく設計することができる。

上記測定端子は自動配置ツールを用いて自動的に配置することができるため、半導体装置の設計から試作にかけて行われる検証、及びシステムに組み込んだ際に現れる不具合に対し、解析を早める測定解析手段となり、設計期間を飛躍的に短縮することが可能である。また、実際に検証により発見される不具合に対し、不具合を起こしている箇所を直接的に観測できるため、具体的対策の手段を見つけることと、それまでの期間を短縮することができる。

【図面の簡単な説明】

【図1】 図1は、本発明に係る半導体装置の設計方法による半導体装置のレイアウトの一例を示す図である。

【図2】 図2は、本発明に係る半導体装置の設計方法のフローチャートである。

【図3】 図3は、図2に示す回路配置設計工程において使用されるネットリストの一例を示す説明図である。

【図4】 図4は、本発明に係る設計方法により図1に示す回路ブロックと、測定端子とを平面配置した状態を示す平面構成図であり、図4（b）は、図4（a）に示すH-H線に沿う断面構成図である。

【図5】 図5は、本発明に係る設計方法により図4に示す回路ブロックと、測定端子とを結線した状態を示す平面構成図であり、図5（b）は、図5（a）

）に示すH－H線に沿う断面構成図である。

【図6】 図6は、従来から利用されている自動配線ツールを用いて設計された半導体装置のレイアウトの一例を示す構成図である。

【図7】 図7（a）は、図6に示す領域A1の配線構造を示す図、図7（b）は、図7（a）に示すJ－J線に沿う断面構成図である。

【図8】 図8（a）は、図6に示す領域A2の配線構造を示す図、図8（b）は図8（a）に示すK－K線に沿う断面構成図を示す図である。

【符号の説明】

10A～10D 回路ブロック

10A1～10A6, 10B1～10B3 端子

121～128 測定端子

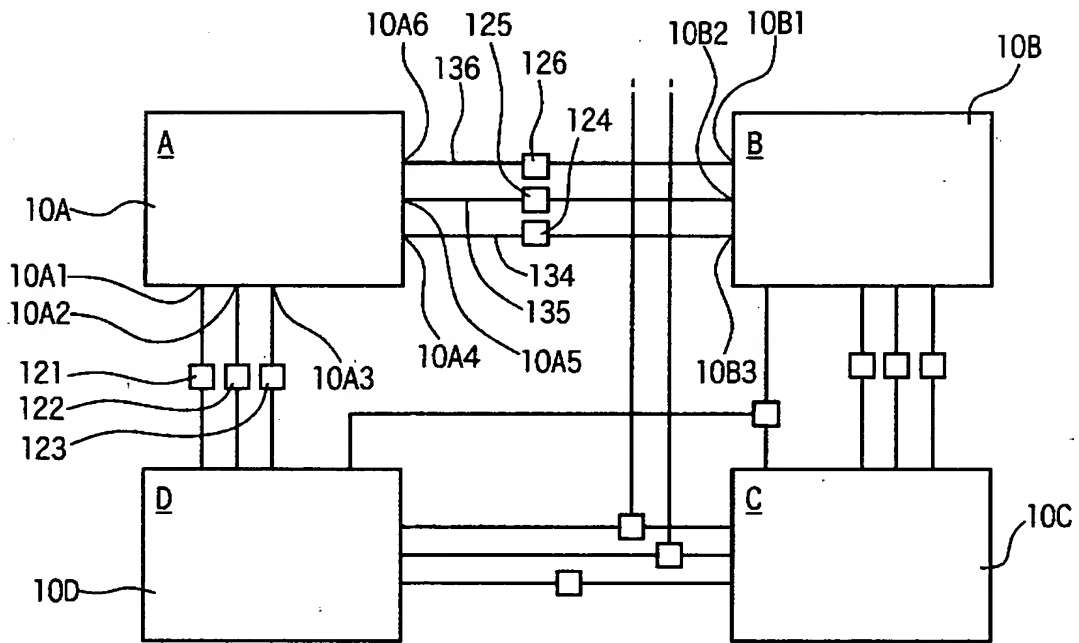
126a 測定電極

126b パッド

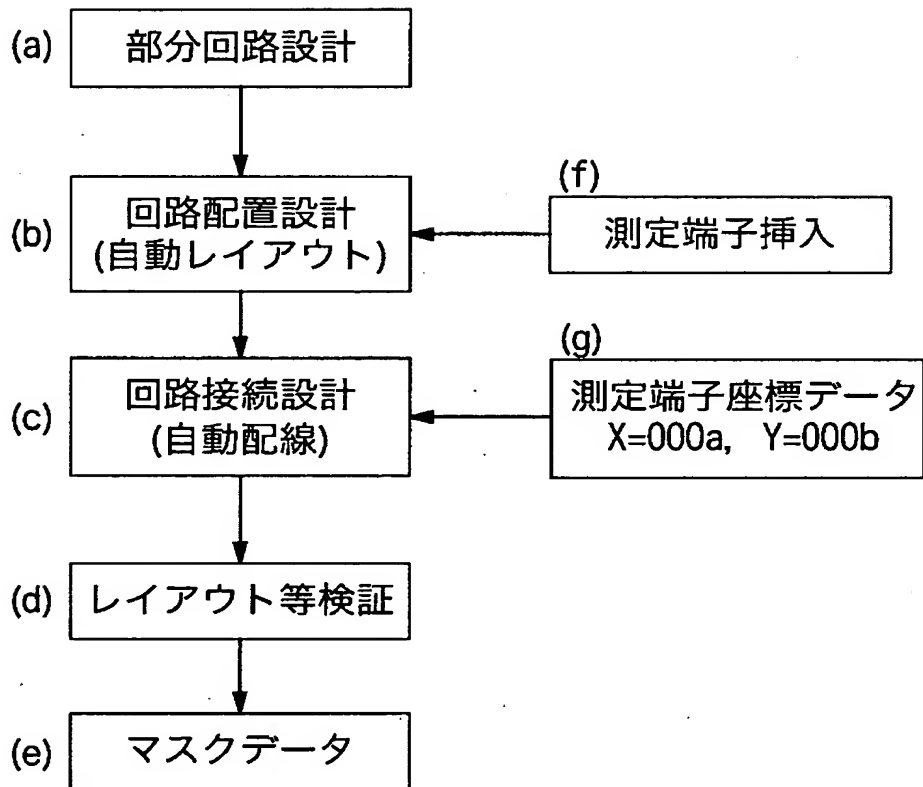
126c コンタクトホール

【書類名】 図面

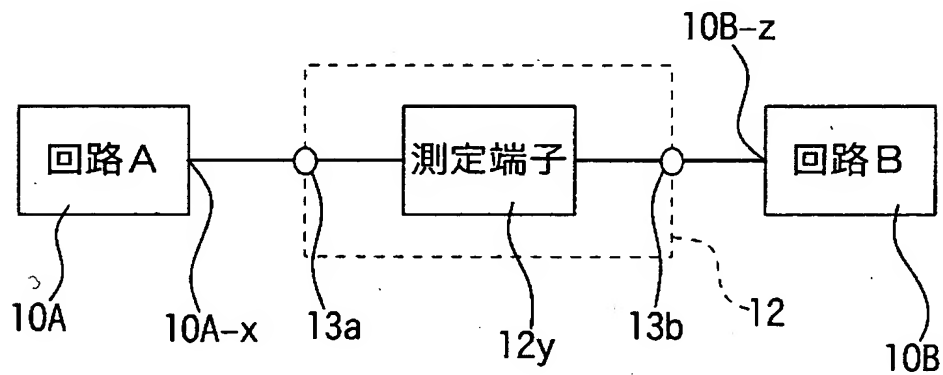
【図 1】



【図 2】

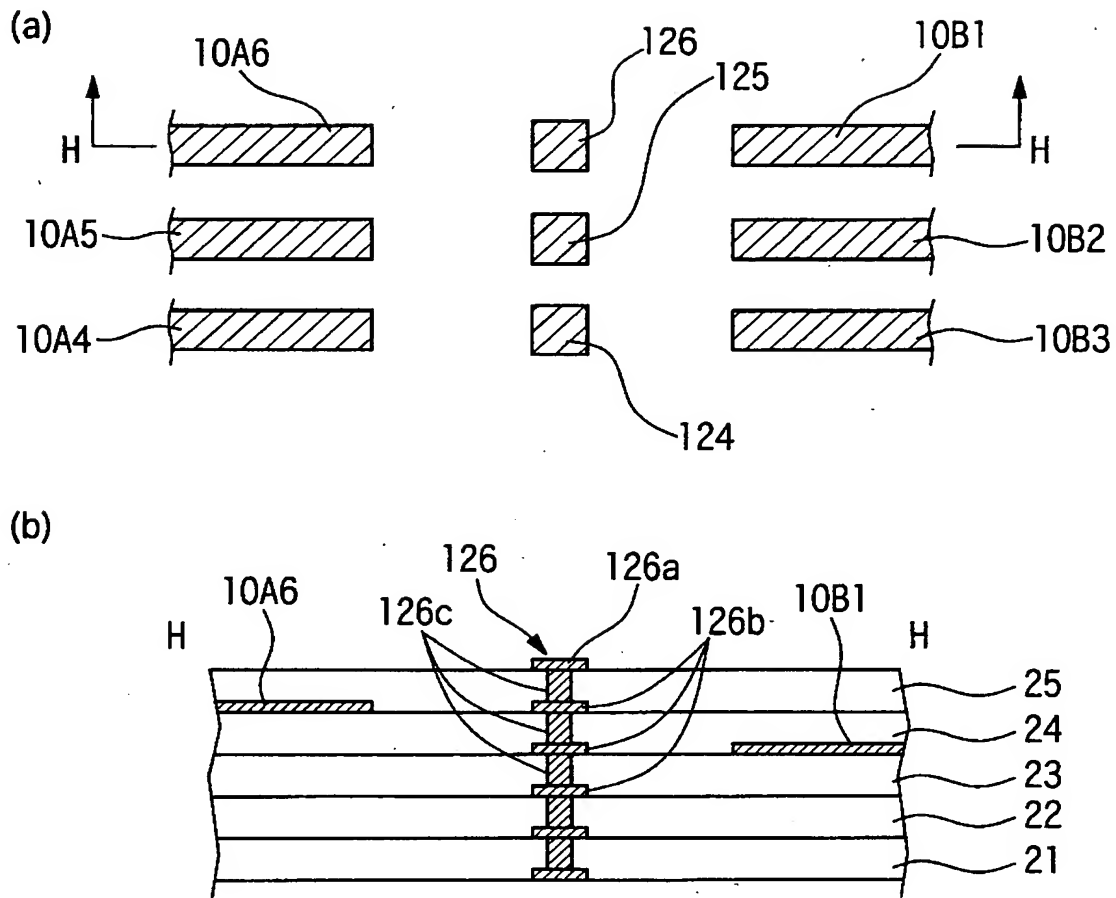


【図 3】



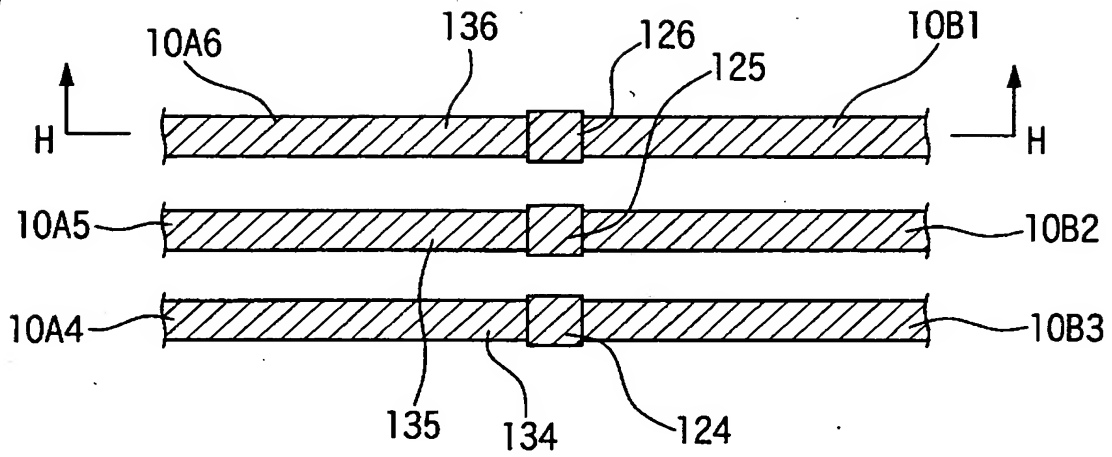
ネットリスト ; 回路A出力x・測定端子y・回路B入力z

【図 4】

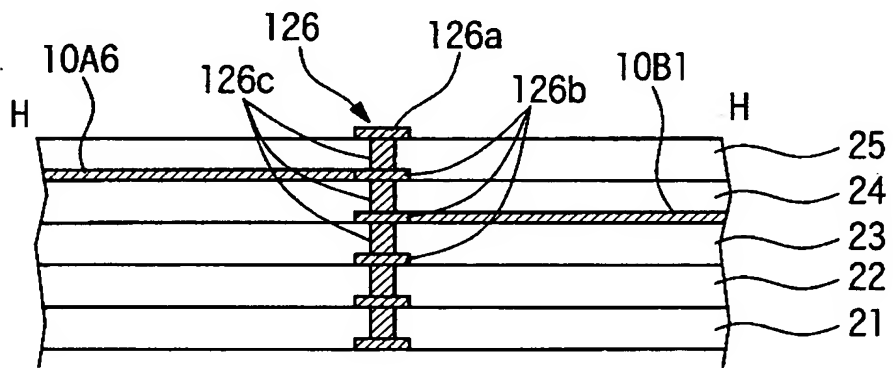


【図 5】

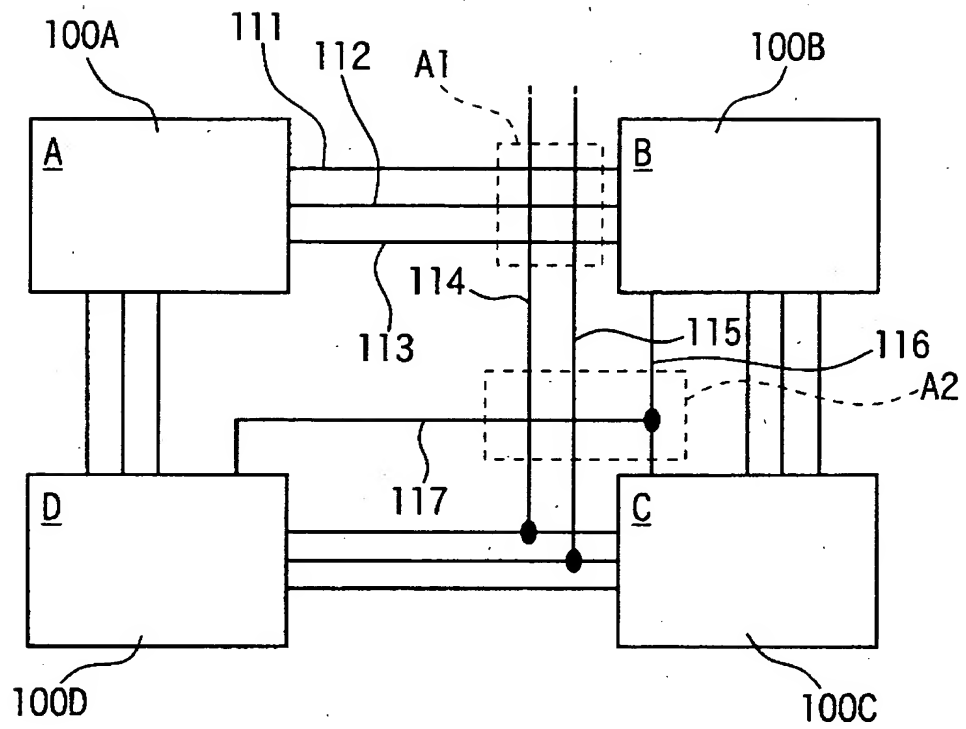
(a)



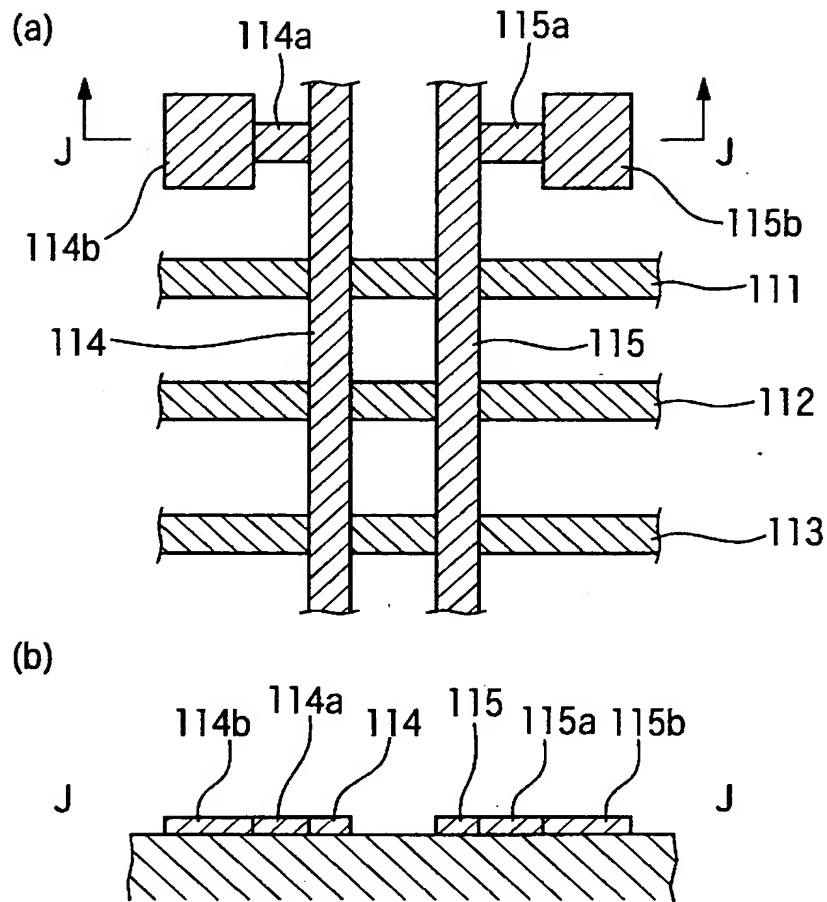
(b)



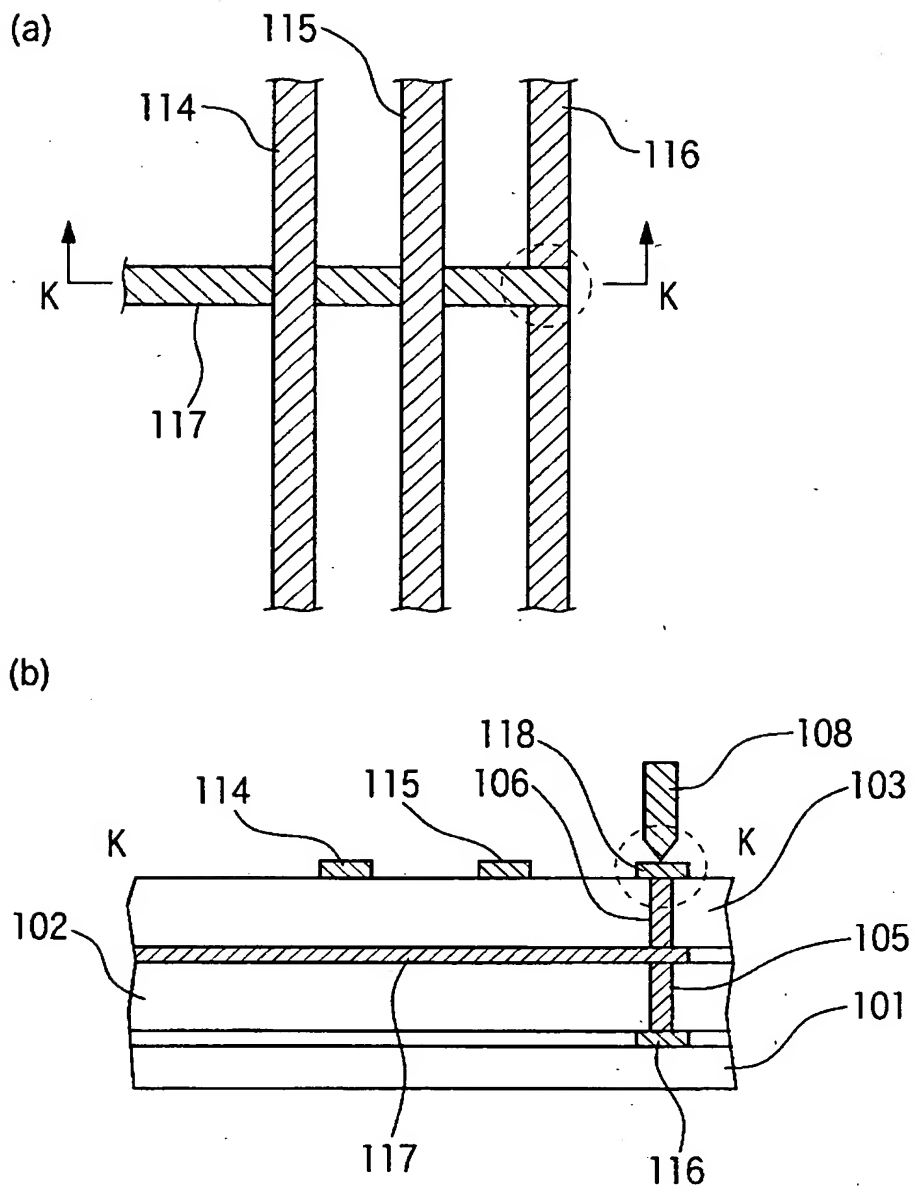
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 回路ブロック間を結ぶ配線に、電圧や論理状態を測定するための測定端子を備えた半導体装置を自動的にレイアウトすることが可能な半導体装置の設計方法を提供する。

【解決手段】 本発明の半導体装置の製造方法は、半導体基板上に形成された複数の回路ブロックを有する半導体装置の設計方法であって、前記半導体装置の最上層に電極を備え、かつ半導体装置の各層において回路ブロック間を結ぶ配線と接続可能とされた測定端子を、前記回路ブロックとともにセルとして設計ルールに登録する工程と、前記測定端子と、前記回路ブロックとを平面配置する工程と、前記回路ブロックから延出される各配線を、前記測定端子を経由して接続する工程とを有している。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 1 9 8 4 9
受付番号	5 0 2 0 1 6 5 9 1 9 6
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 1 月 5 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000128049
【住所又は居所】	千葉県館山市山本 1 5 8 0 番地
【氏名又は名称】	ユー・エム・シー・ジャパン株式会社

【代理人】

申請人

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

【選任した代理人】

【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	高橋 詔男

【選任した代理人】

【識別番号】	100089037
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	渡邊 隆

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	青山 正和

【選任した代理人】

【識別番号】	100094400
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所

次頁有

認定・付加情報（続き）

【氏名又は名称】	鈴木 三義
【選任した代理人】	
【識別番号】	100107836
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	西 和哉
【選任した代理人】	
【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	村山 靖彦

出 願 人 履 歴 情 報

識別番号 [000128049]

1. 変更年月日	2001年11月 6日
[変更理由]	名称変更
住 所	千葉県館山市山本1580番地
氏 名	ユー・エム・シー・ジャパン株式会社